

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-094105

(43)Date of publication of application : 06.04.2001

(51)Int.Cl.

H01L 29/78
H01L 21/205
H01L 21/28

(21)Application number : 2000-245753

(71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 14.08.2000

(72)Inventor : RI GINGA
RI HEISAN
KYO KOKEI

(30)Priority

Priority number : 1999 9933860

Priority date : 17.08.1999

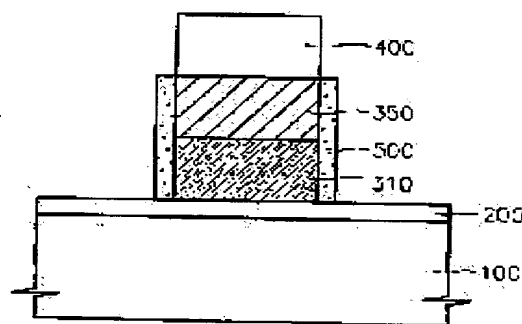
Priority country : KR

(54) METHOD FOR MANUFACTURING GATE OF SEMICONDUCTOR DEVICE CURING DAMAGES OF GATE OXIDE FILM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing the gate structure of a semiconductor device, by which a damaged gate oxide film can be cured.

SOLUTION: A gate oxide film 200 is formed on a semiconductor substrate 100 and a silicon element containing conductive layer is formed on the oxide film 200. For the conductive layer, the laminated structure of a polycrystalline silicon layer 310 and a dichlorosilane-based tungsten silicide layer 350 is used. Then a gate is formed by patterning a conductive layer and silicon source layers 500 covering the sidewalls of the gate are formed by selective epitaxial growth of silicon. The silicon source layers 500 are grown to thicknesses of about ≤ 200 Å. Thereafter, the damaged gate oxide film 200 is cured by heat-treating the silicon source layers 500 in an oxidizing atmosphere.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-94105

(P2001-94105A)

(43) 公開日 平成13年4月6日 (2001.4.6)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 29/78		H 0 1 L 21/205	
21/205		21/28	3 0 1 D
21/28	3 0 1	29/78	3 0 1 G

審査請求 未請求 請求項の数21 O L (全 8 頁)

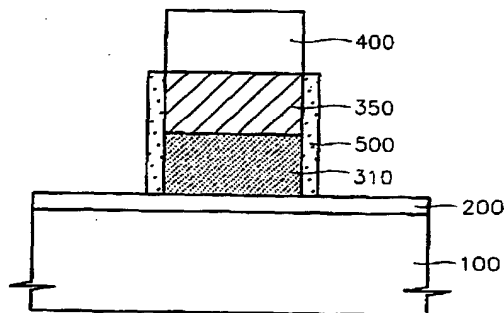
(21) 出願番号	特願2000-245753 (P2000-245753)	(71) 出願人	390019839 三星電子株式会社 大韓民国京畿道水原市八達区梅灘洞416
(22) 出願日	平成12年8月14日 (2000.8.14)	(72) 発明者	李 銀 河 大韓民国京畿道水原市八達区靈通洞 シン ナムシル住公アパート515棟501号
(31) 優先権主張番号	9 9 P 3 3 8 6 0	(72) 発明者	李 炳 讚 大韓民国京畿道城南市盆唐区九美洞 ムジ ゲマウル大林アパート106棟1603号
(32) 優先日	平成11年8月17日 (1999.8.17)	(72) 発明者	姜 虎 奎 大韓民国京畿道城南市盆唐区簾内洞 陽地 マウルアパート212棟803号
(33) 優先権主張国	韓国 (K R)	(74) 代理人	100072349 弁理士 八田 幹雄 (外 4 名)

(54) 【発明の名称】 ゲート酸化膜の損傷を回復させる半導体装置のゲート製造方法

(57) 【要約】

【課題】 ゲート酸化膜の損傷を回復させる半導体装置のゲート構造製造方法を提供する。

【解決手段】 半導体基板100上にゲート酸化膜200を形成する。ゲート酸化膜200上にシリコン元素を含有する導電層を形成する。導電層としては多結晶シリコン層310及びジクロロシラン系タングステンシリサイド層350の積層構造が用いられる。導電層をパターニングしてゲートを形成する。ゲートの側壁を覆うシリコンソース層500をシリコンの選択的エピタキシャル成長で形成する。シリコンソース層500は約200Å以下の厚さに成長される。シリコンソース層500を酸化雰囲気中で熱処理してゲート酸化膜200に発生した損傷を回復させる。



【特許請求の範囲】

【請求項 1】 半導体基板上にゲート酸化膜を形成する段階と、

前記ゲート酸化膜上にシリコン元素を含有する導電層を形成する段階と、

前記導電層を食刻してゲートを形成する段階と、

前記ゲートの露出された側壁を覆うシリコンソース層を形成する段階と、

前記シリコンソース層を酸化雰囲気中で熱処理して前記ゲート酸化膜に発生した損傷を回復させる段階と、を含むことを特徴とする半導体装置のゲート製造方法。

【請求項 2】 前記導電層を形成する段階は、前記ゲート酸化膜上に多結晶シリコン層を形成する段階と、

前記多結晶シリコン層上に金属シリサイド層を形成する段階と、を含むことを特徴とする請求項 1 に記載の半導体装置のゲート製造方法。

【請求項 3】 前記金属シリサイド層を形成する段階は、

ジクロロシラン及びタングステンふっ化物を含む反応ガスを用いてタングステンシリサイド層を前記多結晶シリコン層上に蒸着することを特徴とする請求項 2 に記載の半導体装置のゲート製造方法。

【請求項 4】 前記シリコンソース層は、前記ゲートの露出側壁にシリコンを選択的にエピタキシャル成長されることにより形成することを特徴とする請求項 1 に記載の半導体装置のゲート製造方法。

【請求項 5】 前記シリコンの選択的エピタキシャル成長は、

約 600℃乃至 750℃の温度で六塩化二珪素ガスを含むシリコンソースガスを使用して約 1.33322×10^{-2} Pa 乃至 1.33322 Pa の圧力下で行われることを特徴とする請求項 4 に記載の半導体装置のゲート製造方法。

【請求項 6】 前記シリコンの選択的エピタキシャル成長は、

約 750℃乃至 950℃の温度でジクロロシラン、塩酸ガス及び水素ガスを含むシリコンソースガスを使用して約 1.33322×10^3 Pa 乃至 1.06658×10^4 Pa の圧力下で行われることを特徴とする請求項 4 に記載の半導体装置のゲート製造方法。

【請求項 7】 前記シリコンソース層は、約 200 Å 以下の厚さに形成されることを特徴とする請求項 1 に記載の半導体装置のゲート製造方法。

【請求項 8】 前記シリコンソース層は、約 20 Å 乃至 100 Å の厚さに形成されることを特徴とする請求項 7 に記載の半導体装置のゲート製造方法。

【請求項 9】 前記ゲートの形成段階は、前記ゲート酸化膜が露出されるように異方性食刻することを特徴とする請求項 1 に記載の半導体装置のゲート製

造方法。

【請求項 10】 前記ゲートの形成段階は、前記ゲート酸化膜の下部の半導体基板が露出されるように異方性食刻することを特徴とする請求項 1 に記載の半導体装置のゲート製造方法。

【請求項 11】 前記シリコンソース層は、前記露出される半導体基板上で選択的エピタキシャル成長されることを特徴とする請求項 9 に記載の半導体装置のゲート製造方法。

【請求項 12】 半導体基板上にゲート酸化膜を形成する段階と、前記ゲート酸化膜上に多結晶シリコン層及びタングステンシリサイド層を順次に形成する段階と、前記タングステンシリサイド層及び前記多結晶シリコン層を順次に食刻してゲートを形成する段階と、前記ゲートの側壁を覆うシリコンソース層を形成する段階と、

前記シリコンソース層を酸化雰囲気中で熱処理して前記ゲート酸化膜に発生した損傷を回復させる段階とを含むことを特徴とする半導体装置のゲート製造方法。

【請求項 13】 前記タングステンシリサイド層を形成する段階は、

ジクロロシラン及びタングステンふっ化物を含む反応ガスを用いることを特徴とする請求項 12 に記載の半導体装置のゲート製造方法。

【請求項 14】 前記シリコンソース層は、前記ゲートの露出側壁でシリコンが選択的にエピタキシャル成長されることを特徴とする請求項 1 に記載の半導体装置のゲート製造方法。

【請求項 15】 前記シリコンの選択的エピタキシャル成長は、

約 600℃乃至 750℃の温度で六塩化二珪素ガスを含むシリコンソースガスを使用して約 1.33322×10^{-2} Pa 乃至 1.33322 Pa の圧力下で行われることを特徴とする請求項 14 に記載の半導体装置のゲート製造方法。

【請求項 16】 前記シリコンの選択的エピタキシャル成長は、

約 750℃乃至 950℃の温度でジクロロシラン、塩酸ガス及び水素ガスを含むシリコンソースガスを使用して約 1.33322×10^3 Pa 乃至 1.06658×10^4 Pa の圧力下で行われることを特徴とする請求項 14 に記載の半導体装置のゲート製造方法。

【請求項 17】 前記シリコンソース層は、約 200 Å 以下の厚さに形成されることを特徴とする請求項 12 に記載の半導体装置のゲート製造方法。

【請求項 18】 前記シリコンソース層は、約 20 Å 乃至 100 Å の厚さに形成されることを特徴とする請求項 17 に記載の半導体装置のゲート製造方法。

【請求項 19】 前記ゲートの形成段階は、前記ゲート酸化膜が露出されるように異方性食刻するこ

とを特徴とする請求項12に記載の半導体装置のゲート製造方法。

【請求項20】 前記ゲートの形成段階は、前記ゲート酸化膜の下部の半導体基板が露出されるように異方性食刻することを特徴とする請求項12に記載の半導体装置のゲート製造方法。

【請求項21】 前記シリコンソース層は、前記露出される半導体基板上で選択的エピタキシャル成長されることを特徴とする請求項20に記載の半導体装置のゲート製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に係り、特にゲート酸化膜(gate oxide layer)に発生された損傷を回復させるゲート製造方法に関する。

【0002】

【従来の技術】半導体装置に高速の動作速度が要求されることにつれ、ゲート、ドレインまたはソースに接触する電極として、さらに高伝導度を有する物質が用いられている。

【0003】例えば、米国特許5,814,537号(Method of forming transistor electrodes from directionally deposited silicide, Jer-shen, Maa, etc., 1998/9/29.)または米国特許5,194,403号(Method for the making of the electrode metalization, of a transistor, Sylvain, Delage, etc., 1993/4/16)では、シリサイドまたは金属などの材質をゲートまたは電極として用いている。また、高速の動作速度のために、米国特許5,804,499号(Prevention of abnormal WSi_x oxidation by in-situ amorphous silicon deposition, Christine, Dehm, etc., 1998/9/8.)ではタングステンシリサイド(WSi_x)をゲートとして用いている。また、タングステンシリサイドの酸化を防止するために非晶質シリコン(amorphous silicon)層を形成してタングステンシリサイド層を保護することが記載されている。

【0004】一方、ゲートを形成するためには半導体基板上にゲート酸化膜及び導電層を積層した後、求められるスケール(scale)にて導電層をパターニングする工程が必須である。このようなパターニング工程において下部のゲート酸化膜は損傷(damage)されることがある。特に、ゲート酸化膜のエッジ部、即ち、パターニングされた前記導電層の側壁に隣接する部位にこ

のような損傷が集中する。このような損傷はトランジスタの特性の劣化を引き起こすので、熱処理などを通して回復(curing)させる工程を伴う。

【0005】しかし、前述したような熱処理はゲート膜質内に不良を引き起こす要因として作用する恐れがある。例えば、次の図1に示されたようにゲートを構成する多結晶シリコン層31及びタングステンシリサイド層35の膜質内にキャビティ(cavity or void)37のような不良が発生しうる。

10 【0006】具体的には、半導体基板10上にゲート酸化膜20を介在して順次に形成される多結晶シリコン層31及びタングステンシリサイド層35は乾式食刻方法等でパターニングされる。この際、下部のゲート酸化膜20も前記乾式食刻方法で侵食されて損傷される。このようなゲート酸化膜20の損傷を回復させるために酸化雰囲気中の熱処理を行えば、パターニングされた多結晶シリコン層31及びタングステンシリサイド層35の側壁の表面が酸化されてシリコン酸化層20'が形成される。これにより、損傷されたゲート酸化膜20の損傷、特に、パターニングされた多結晶シリコン層31の側壁と接するエッジ部位の損傷が回復される。

【0007】このような熱処理工程におけるシリコンの供給はタングステンシリサイド層35の場合、膜質内に過度に含まれていたシリコン元素の消耗によってなされる。しかし、このような過度なシリコン元素はその量に限界があるため、熱処理の初期段階でのみシリコン供給源として作用する。そして、熱処理が進行されることによって下部の多結晶シリコン層31内のシリコン元素が前記酸化に求められるシリコン元素を供給することになる。即ち、多結晶シリコン層31内に含まれていたシリコン元素が拡散などによりタングステンシリサイド層35またはその表面に移動して酸化工程に消耗される。

【0008】このようなシリコン元素の移動は多結晶シリコン層31内にキャビティ37などを誘発する。そして、このようなキャビティ37の発生はトランジスタの動作特性を劣化させることになる。

【0009】特に、タングステンシリサイド層35のフッ素(F)含量を抑制するために、タングステンシリサイド層35の蒸着時のソースガスとしてジクロロシラン(SiH₂Cl₂;以下「DCS」と称する)などを用いることによって前記キャビティ37の発生は激しくなる。これはジクロロシランなどを用いてタングステンシリサイド層35を形成する場合、タングステンシリサイド層35内に微量の塩素が残留することになる。このような塩素はシリコンをさらに拡散させる特性があって、前記酸化熱処理時に多結晶シリコン層31からのシリコン元素の移動度を高め、よって、キャビティ37の発生が激しくなる恐れがある。

【0010】

【発明が解決しようとする課題】本発明が解決しようと

する技術的課題は、ゲート膜質内におけるキャビティのような不良の発生を防止してゲート酸化膜の損傷を回復させることのできる半導体装置のゲート製造方法を提供することである。

【0011】

【課題を解決するための手段】前記技術的課題を達成するために本発明は、半導体基板上にゲート酸化膜を形成する。前記ゲート酸化膜上にシリコン元素を含有する導電層を形成する。このような導電層としては多結晶シリコン層及びタングステンシリサイド層の積層構造を利用

できる。この際、前記タングステンシリサイド層はシクロシラン及びタングステンふっ化物を含む反応ガスを以って形成される。

【0012】次いで、前記導電層上に前記導電層の一部を選択的に露出する食刻マスクを形成し、露出される前記導電層を食刻してゲートを形成する。前記ゲートの側壁を覆うシリコンソース層をシリコンの選択的エピタキシャル成長で形成する。シリコンソース層は約200Å以下の厚さに成長される。前記シリコンソース層を酸化雰囲気中で熱処理して前記ゲート酸化膜に発生された損傷を回復させる。

【0013】

【発明の実施の形態】以下、添付した図面に基づき本発明の実施の形態を詳しく説明する。しかし、本発明の実施の形態は多様な形態に変形でき、本発明の範囲が後述する実施の形態によって限定されると解釈されてはならない。本発明の実施の形態は当業者に本発明をさらに完全に説明するために提供されるものである。従って、図面における要素の形状はさらに明確な説明を強調するために誇張されたものであり、図面において同じ符号で表された要素は同じ要素を意味する。また、何れの層が他の層または半導体基板の「上」にあると記載される場合、前記何れの層は前記他の層または半導体基板に直接接触して存在したり、その間に第3の層が介在される。

【0014】図2乃至図4は本発明の第1実施の形態に係る半導体装置のゲート製造方法を説明するために概略的に示した断面図である。

【0015】図2は半導体基板上にゲートを形成する段階を概略的に示す。

【0016】具体的には、例えばシリコン単結晶より等からなる半導体基板100上にゲート酸化膜200を形成する。ゲート酸化膜200は露出された半導体基板100の表面を酸化させることによって得られる。ゲート酸化膜200上にゲートとして用いられる導電層310、350をシリコン元素を含有する物質で形成する。

【0017】導電層310、350は、例えば、ゲート酸化膜200上に不純物のドーピングされた多結晶シリコン層310を形成した後、金属シリサイド層を順次に形成する。金属シリサイド層はタングステンシリサイド

よりなることが望ましい。タングステンシリサイド層350は様々な既知の方法で形成できるが、DCSなどをシリコンソースとして用いる蒸着方法で形成されることが望ましい。

【0018】例えば、DCSをシリコンソースとして用いて六ふっ化タングステン(WF₆)のようなタングステンふっ化物をタングステンソースとして用いる化学気相蒸着(CVD:Chemical Vapour Deposition)で形成されるDCS系のタングステンシリサイド層350を用いることが望ましい。

【0019】このようなDCS系のタングステンシリサイド層350はふっ素の残留含量を最小化できて腐食特性に優れた長所を有する。また、シランを用いて形成される一般のタングステンシリサイド層に比べて改善されたステップカバレッジ(step coverage)、低い事後熱処理ストレス(post-annealed stress)及び高い接着性を有する。

【0020】その後、タングステンシリサイド層350上に食刻マスク400を形成する。食刻マスク400はフォトリソグラフィ工程を通して形成され、以後の層間絶縁層を形成する工程に用いられるために絶縁物質よりなることが望ましい。例えば、シリコン酸化層(SiO₂ layer)またはシリコン窒化層(SiN layer)よりなることができる。または、シリコン酸化層/シリコン窒化層の多層構造よりなることもできる。

【0021】食刻マスク400は、フォトリソグラフィ工程により下部のタングステンシリサイド層350の表面を選択的に露出する。食刻マスク400によって露出されるタングステンシリサイド層350を乾式食刻方法などを用いて食刻する。このような食刻は下部のゲート酸化膜200が露出されるまで進行され、パターニングされたタングステンシリサイド層350及び多結晶シリコン層310よりなるゲート310、350を形成する。

【0022】このようなゲート310、350をパターニングするための食刻工程は、下部のゲート酸化膜200を侵害して損傷を発生させることが避けられない。即ち、前記食刻工程においては、一定量の過度食刻(over etch)を通してゲート酸化膜200の一部が食刻されることによってゲート酸化膜200に損傷が起こる。

【0023】図3はゲート310、350の側壁を覆うシリコンソース層500を形成する段階を概略的に示す。

【0024】具体的には、ゲート310、350をなすパターニングされた多結晶シリコン層310及びタングステンシリサイド層350の露出側壁を覆うシリコンソース層500を形成する。この際、露出側壁に選択的に前記シリコンソース層500が形成されるように、選択的なエピタキシャル成長(selective epi

10

20

30

40

50

taxial growth)を行う。ゲート酸化膜200をなすシリコン酸化物と、食刻マスク400として用いられるシリコン酸化物またはシリコン窒化物に対して選択比を有する条件でシリコン層を選択的にエピタキシャル成長させる。

【0025】例えば、UHV CVD (Ultra High Vacuum Chemical Vapor Deposition) 法を用いてシリコンソース層500を選択的にエピタキシャル成長させる。この際、シリコンソースガスとしては六塩化二珪素ガス(Si_2Cl_6)が用いられる。また、成長の選択性(selectivity)を向上させるために、塩素ガス(Cl_2)を添加しうる。このようなUHV CVDを用いたシリコンソース層500の成長は約 $1.33322 \times 10^{-2} \text{ Pa}$ (10^{-4} Torr)乃至 1.33322 Pa (10^{-2} Torr)程度の圧力で行われる。このような条件で、約600℃乃至750℃の低温でシリコンソース層500を選択的にエピタキシャル成長させる。

【0026】または、 $1.33322 \times 10^3 \text{ Pa}$ (10 Torr)乃至 $1.06658 \times 10^4 \text{ Pa}$ (80 Torr)程度の圧力で進行されるLPCVD (Low Pressure Chemical Vapor Deposition) 法でシリコンソース層500を選択的にエピタキシャル成長させる。この際、約750℃乃至950℃程度の温度条件でDCSと、塩酸ガス(HCl)及び水素ガス(H_2)を含むシリコンソースガスを用いてシリコンソース層500をエピタキシャル成長させる。望ましくは、約850℃の低温でシリコンソース層500をエピタキシャル成長させる。

【0027】このようなエピタキシャル成長条件は、シリコン酸化物層またはシリコン窒化物層に対して実質的なシリコンの成長を起こさず、シリコン層、多結晶シリコン層、またはシリサイド層に対してはシリコンを実質的に成長させる。

【0028】従って、露出される多結晶シリコン層310の側壁及びタングステンシリサイド層350の側壁の表面でのみ選択的にシリコン層が成長してシリコンソース層500を形成する。ゲート酸化膜200または食刻マスク400はシリコン酸化物よりなるので、前記選択的エピタキシャル成長を可能にする選択マスクの役割をする。

【0029】このように選択的に成長されるシリコンソース層500は、約200Å以下の厚さに成長される。シリコンソース層500はゲート酸化膜200の回復のための酸素雰囲気熱処理段階でシリコン元素を提供するための手段として使われる。従って、その厚さはゲート酸化膜200の損傷を回復できるだけの酸化に必要なシリコン元素を十分に供給できる程の厚さなら十分である。従って、シリコンソース層500は半導体装置の種類または採用されるゲート酸化膜200の厚さによって

他の厚さに形成しうる。望ましくは、約20Å乃至100Å程度の厚さに形成される。

【0030】図4はゲート酸化膜200に発生された損傷の回復段階を概略的に示す。

【0031】具体的には、乾燥された酸素ガスなどを用いる酸化雰囲気条件でアニーリング (annealing) のような熱処理を行う。このような熱処理によって損傷されたゲート酸化膜200は再成長され、これにより損傷が回復される。また、ゲート310、350の側壁を覆うシリコンソース層 (図3の500) も酸化されてシリコン酸化層200'に転換される。

【0032】このような酸化雰囲気の熱処理工程で多結晶シリコン層310及びタングステンシリサイド層350の側壁表面が露出されている場合、すでに説明したように、このような側壁表面で酸化が発生する。この酸化に消耗されるシリコン元素は、図1の説明のように、シリコン元素の拡散移動が起り、多結晶シリコン層 (図1の31) 内にキャビティ (図1の37) を誘発する。

【0033】しかし、本発明の第1実施の形態では酸化がシリコンソース層500に限定される。即ち、酸化に要されるシリコン元素はシリコンソース層500によって提供される。従って、多結晶シリコン層310またはタングステンシリサイド層350の内部におけるシリコン元素の移動が抑制される。従って、このような熱処理工程によって多結晶シリコン層 (図1の31) 内にキャビティ (図1の37) が発生するのを防止することができる。

【0034】前述したようにゲート310、350をなすタングステンシリサイド層350の下部膜質の多結晶シリコン層310の内部にキャビティのような不良が発生するのを防止し、ゲート酸化膜200に発生された損傷を回復させる。特に、ゲート310、350のタングステンシリサイド層350を一般のタングステンシリサイドより優秀な特性を有するDCS系タングステンシリサイドで構成する時、キャビティの発生を防止しうる。

【0035】このようにゲート酸化膜200を回復させた後、一般の半導体装置の製造工程、例えば、スペーサ (図示せず) などを形成する工程を順次に行える。

【0036】図5乃至図7は、本発明の第2実施の形態に係る半導体装置のゲートの製造方法を説明するために概略的に示した断面図である。

【0037】第2実施の形態では第1実施の形態とは違ってゲート310、350を形成するためのパターンニング工程で、ゲート酸化膜200の下部の半導体基板100の表面が露出されるように過度食刻を進行する。第2実施の形態において第1実施の形態と同一な符号は同一な部材を意味する。

【0038】図5は、半導体基板100上にゲート酸化膜200を過度食刻する段階を概略的に示す。

【0039】具体的には、第1実施の形態の図2の説明のようにゲート酸化膜200上に多結晶シリコン層310及びタングステンシリサイド層350を形成する。タングステンシリサイド層350はDCS系タングステンシリサイドよりなることが望ましい。

【0040】以降、図2の説明のように食刻マスク400によって露出されるタングステンシリサイド層350を食刻する。このような食刻を行い、続けて下部の多結晶シリコン層310も順次に食刻する。

【0041】このような選択的な食刻によってゲート310、350が形成される。食刻し続けて、即ち、過度食刻を行って選択的に露出されるゲート酸化膜200を食刻して下部の半導体基板100の表面を露出する。この際、半導体基板100の表面は一定の厚さにリセスされる。これにより、食刻マスク400により遮蔽される部分以外の部分でゲート酸化膜200が除去される。

【0042】図6は露出されるゲート310、350の側壁及び半導体基板100を選択的に覆うシリコンソース層501を形成する段階を概略的に示す。

【0043】具体的には、ゲート310、350をなすバターンニングされた多結晶シリコン層310及びタングステンシリサイド層350の露出される側壁とリセスされて露出された半導体基板100のみを選択的に覆うシリコンソース層501を形成する。この際、シリコンソース層501は図3の説明のようにシリコンの選択的エピタキシャル成長を用いて形成する。

【0044】これにより、前述したように露出される半導体基板100、露出される多結晶シリコン層310及びタングステンシリサイド層350の側壁表面にのみシリコンソース層501を選択的に成長させうる。シリコンソース層501は選択的エピタキシャル成長の特性に応じてゲート酸化膜200の側壁部位は露出することになる。

【0045】このように選択的に成長されるシリコンソース層501は後続の酸化雰囲気熱処理条件によって変わるが、約200Å以下の厚さに成長される。

【0046】この際、シリコンソース層501の半導体基板100を覆う一部は以後にゲート酸化膜200の役割をするので、ゲート酸化膜200に要される厚さ程度に形成される。望ましくは、約20Å乃至100Å程度の厚さに形成される。

【0047】図7はゲート酸化膜200に発生された損傷を回復させる段階を概略的に示す。

【0048】具体的には、図4の説明のようにシリコンソース層501を酸化させる熱処理を行う。このような熱処理によって損傷されたゲート酸化膜200は再成長される。また、シリコンソース層(図6の501)は酸化されてシリコン酸化層200'に転換される。従って、半導体基板100を覆うシリコン酸化層200'部分はゲート酸化膜200に延びた形状を有する。従っ

て、前記熱処理はシリコン酸化層200'を全て酸化させる条件で行われることが望ましい。

【0049】前述したようにこのようなシリコン酸化層200'の形成に要されるシリコン元素はシリコンソース層501から自体供給されるので、ゲート310、350をなすタングステンシリサイド層350の下部膜質の多結晶シリコン層310からのシリコン元素の移動が抑制される。従って、多結晶シリコン層310の内部にキャビティのような不良を防止し、ゲート酸化膜200に発生された損傷を回復させる。特に、ゲート310、350のタングステンシリサイド層350を一般のタングステンシリサイドより優秀な特性を有するDCS系タングステンシリサイドで構成する時、キャビティなどの発生を防止することができる。

【0050】このように、ゲート酸化膜200を回復させた後、一般の半導体装置の製造工程、例えば、スペーサ(図示せず)を形成する工程を順次に行える。

【0051】以上、本発明の具体的な実施の形態を説明したが、本発明はこれに限定されず、本発明の技術的思想内で当業者によりその変形や改良が可能なのが明白である。

【0052】

【発明の効果】本発明によれば、ゲート酸化膜を回復させる酸化雰囲気を伴う熱処理によって、タングステンシリサイド層の下部の多結晶シリコン層内にキャビティなどの不良の発生を防止することができる。

【図面の簡単な説明】

【図1】 従来の半導体装置のゲート製造方法を説明するために概略的に示した断面図である。

【図2】 本発明の第1実施の形態に係る半導体装置のゲート製造方法を説明するために概略的に示した断面図である。

【図3】 本発明の第1実施の形態に係る半導体装置のゲート製造方法を説明するために概略的に示した断面図である。

【図4】 本発明の第1実施の形態に係る半導体装置のゲート製造方法を説明するために概略的に示した断面図である。

【図5】 本発明の第2実施の形態に係る半導体装置のゲート製造方法を説明するために概略的に示した断面図である。

【図6】 本発明の第2実施の形態に係る半導体装置のゲート製造方法を説明するために概略的に示した断面図である。

【図7】 本発明の第2実施の形態に係る半導体装置のゲート製造方法を説明するために概略的に示した断面図である。

【符号の説明】

100 半導体基板
200 ゲート酸化膜

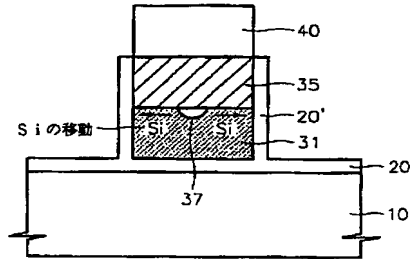
(7)

特開2001-94105

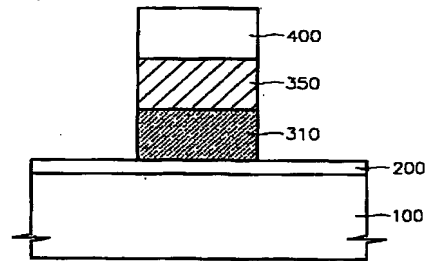
11
310 多結晶シリコン層
350 タングステンシリサイド層

12
* 400 食刻マスク
* 500 シリコンソース層

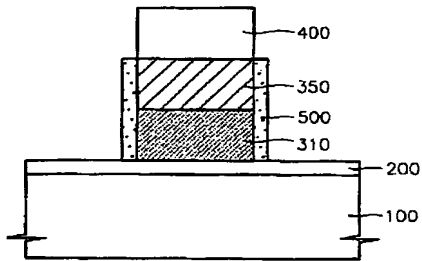
【図1】



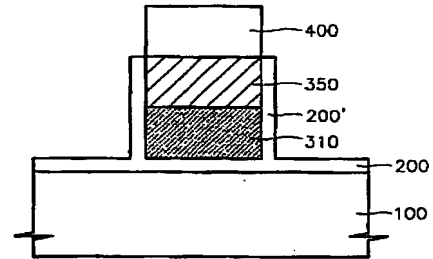
【図2】



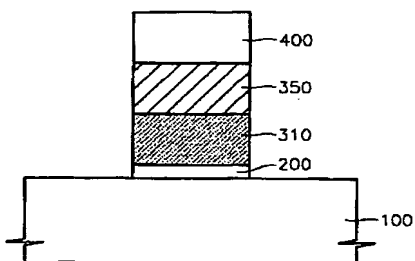
【図3】



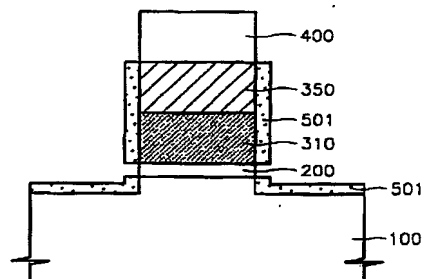
【図4】



【図5】



【図6】



(8)

特開2001-94105

【図7】

